

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02005474
PUBLICATION DATE : 10-01-90

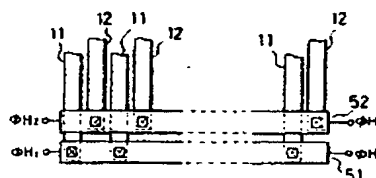
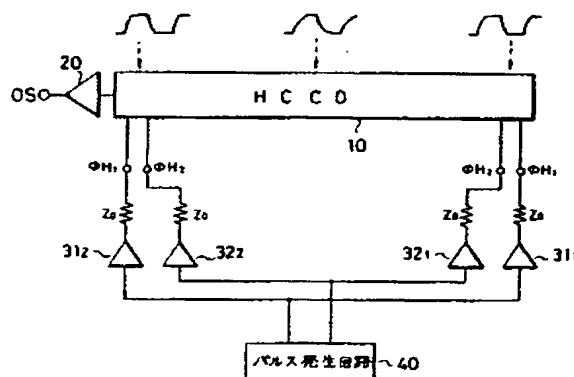
APPLICATION DATE : 23-06-88
APPLICATION NUMBER : 63153504

APPLICANT : TOSHIBA CORP;

INVENTOR : ENDO YUKIO;

INT.CL. : H01L 27/148 H01L 21/339 H01L 29/796
H04N 5/335

TITLE : SOLID STATE IMAGE SENSOR



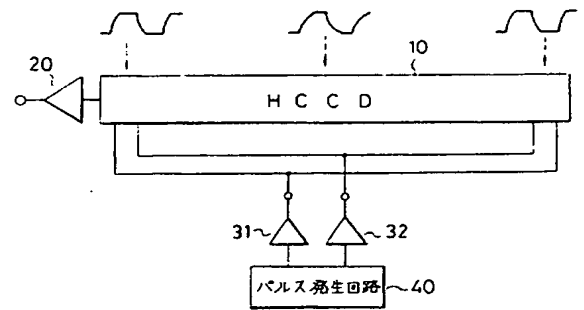
ABSTRACT : **PURPOSE:** To suppress the deterioration of a driving waveform of a horizontal CCD register and to improve its transfer efficiency by supplying clock pulses having the same phase from different clock drivers to both ends of a wiring electrode to the electrode for commonly connecting the transfer electrodes to be applied with the same clock pulse of the register.

CONSTITUTION: Clock pulses ϕH_1 , ϕH_2 have different phases of 180° , are generated from a pulse generator 40, and supplied to wiring electrodes 51, 52 through drivers 31, 32. Thus, since the pulses ϕH_1 , ϕH_2 are supplied to both ends of the electrodes 51, 52, the position farthest from the clock supplying end is disposed at the center of the electrodes 51, 52. That is, a distance from the supply end to the farthest position of the electrodes 51, 52 becomes approx. $1/2$ of that of a conventional system. Thus, a satisfactory signal charge transfer can be performed with less decrease in the transfer efficiency.

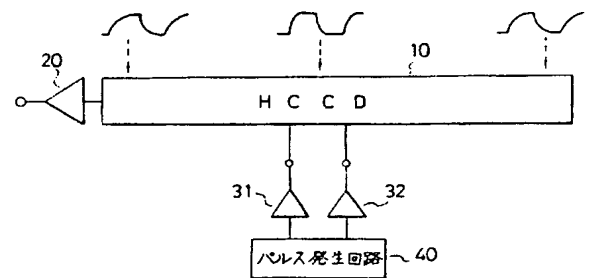
COPYRIGHT: (C)1990,JPO&Japio

グワイヤー。

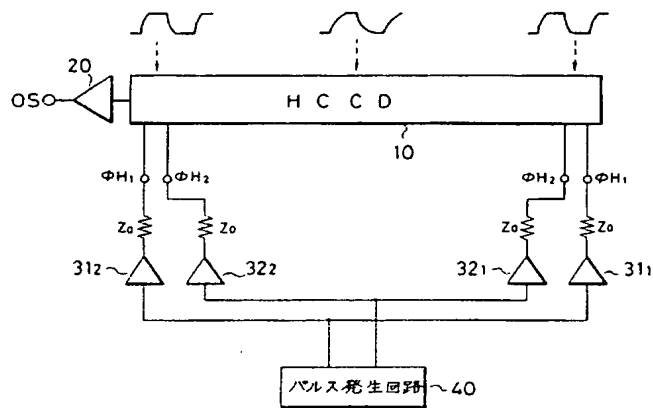
出願人代理人 弁理士 鈴江武彦



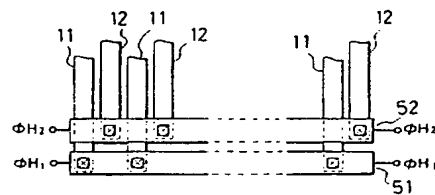
第 4 図



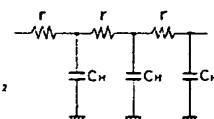
第 5 図



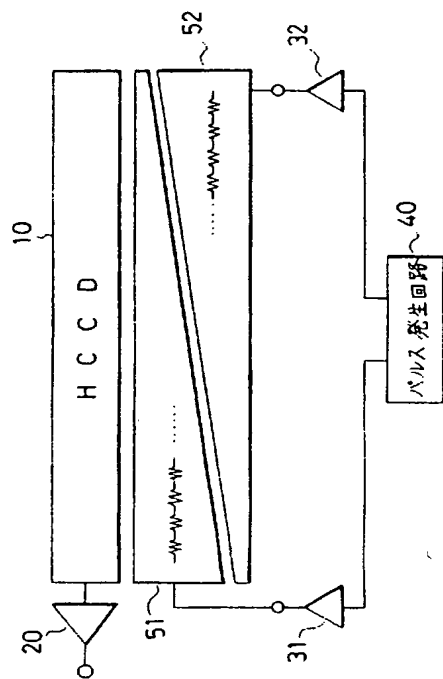
第 1 図



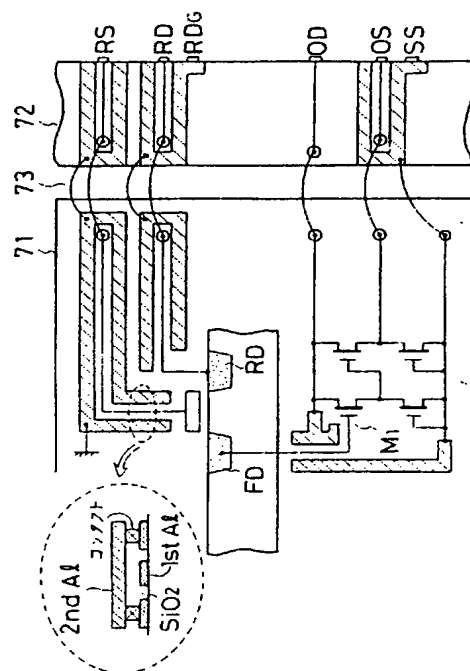
第 2 図



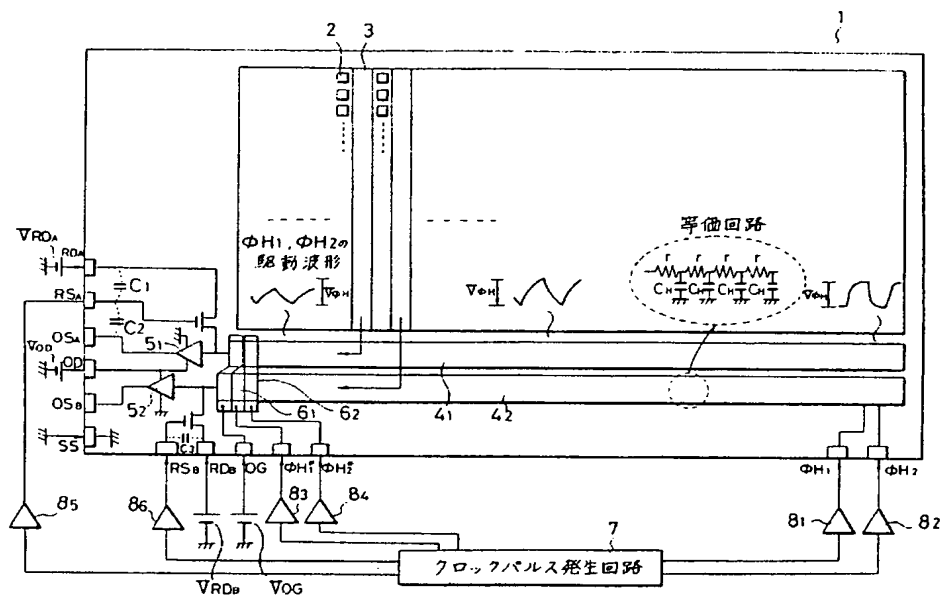
第 3 図



第 6 図



AMP 第 7 図



第 8 図

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-5474

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月10日

H 01 L 27/148
21/339
29/796
H 04 N 5/335

F

8838-5C
7377-5F
8422-5F

H 01 L 27/14
29/76

3 0 1 B
B

審査請求 未請求 請求項の数 5 (全8頁)

⑭ 発明の名称 固体撮像装置

⑰ 特 願 昭63-153504

⑱ 出 願 昭63(1988)6月23日

⑲ 発 明 者 江 川 佳 孝 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 発 明 者 遠 藤 幸 雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

固 体 撮 像 装 置

2. 特許請求の範囲

(1) 半導体基板上にマトリックス状に配列された
複数の受光素子と、これらの受光素子配列に沿っ
て配列形成され、該受光素子に蓄積された信号電
荷を読出して垂直方向に転送する複数列の垂直
CCDレジスタと、これらの垂直CCDレジスタ
と直交する方向に配置され、該垂直CCDレジス
タより転送される各行の信号電荷を水平方向に転
送する水平CCDレジスタとを備えた固体撮像装
置において、

前記水平CCDレジスタの同一クロックパルス
を印加すべき転送電極同士を共通接続する配線電
極に対し、該配線電極の両端部に異なるクロック
ドライバからの同位相のクロックパルスをそれぞ
れ供給してなることを特徴とする固体撮像装置。

(2) 半導体基板上にマトリックス状に配列された
複数の受光素子と、これらの受光素子配列に沿っ

て配列形成され、該受光素子に蓄積された信号電
荷を読出して垂直方向に転送する複数列の垂直
CCDレジスタと、これらの垂直CCDレジスタ
と直交する方向に配置され、該垂直CCDレジス
タより転送される各行の信号電荷を水平方向に転
送する水平CCDレジスタとを備えた固体撮像装
置において、

前記水平CCDレジスタの同一クロックパルス
を印加すべき転送電極同士を共通接続する配線電
極に対し、該配線電極の両端部に同一のクロック
ドライバからのクロックパルスをそれぞれ供給し
てなることを特徴とする固体撮像装置。

(3) 半導体基板上にマトリックス状に配列された
複数の受光素子と、これらの受光素子配列に沿っ
て配列形成され、該受光素子に蓄積された信号電
荷を読出して垂直方向に転送する複数列の垂直
CCDレジスタと、これらの垂直CCDレジスタ
と直交する方向に配置され、該垂直CCDレジス
タより転送される各行の信号電荷を水平方向に転
送する水平CCDレジスタとを備えた固体撮像装

置において、

前記水平CCDレジスタの同一クロックパルス
を印加すべき転送電極同士を共通接続する配線電
極に対し、該配線電極の中央部にクロックドライ
バからのクロックパルスを供給してなることを特
徴とする固体撮像装置。

(4) 半導体基板上にマトリックス状に配列された
複数の受光素子と、これらの受光素子配列に沿っ
て配列形成され、該受光素子に蓄積された信号電
荷を読出して垂直方向に転送する複数列の垂直
CCDレジスタと、これらの垂直CCDレジスタ
と直交する方向に配置され、該垂直CCDレジスタ
より転送される各行の信号電荷を水平方向に転
送する水平CCDレジスタとを備えた固体撮像装
置において、

前記水平CCDレジスタの同一クロックパルス
を印加すべき転送電極同士を共通接続する複数の
配線電極は、その端部の一方にクロックドライバ
からのクロックパルスを供給されるものと他方に
クロックドライバからのクロックパルスを供給さ

れるものとに分けられ、且つそれぞれの電極の幅
はクロック供給側に近い方を遠い方よりも広く形
成されてなることを特徴とする固体撮像装置。

(5) 半導体基板上に複数の受光素子、これらの受
光素子に蓄積された信号電荷を読出して転送する
CCDレジスタ、及び該レジスタから転送される
信号電荷を検出する信号検出部とを形成した固体
撮像素子と、この固体撮像素子を設置するバッケ
ージとを備え、固体撮像素子及びバッケージ間で
信号線を接続する固体撮像装置において、前記固
体撮像素子及びバッケージ内の出力信号線の両側
をアース線若しくは直流電位の配線でガードし、
且つ前記信号検出部の信号電荷をリセットするリ
セット電極配線の両側をアース電位若しくは直流
電位の配線でガードしてなることを特徴とする固
体撮像装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、電荷結合素子を用いた固体撮像装

置に係わり、特に高速駆動を可能にした固体撮像
装置に関する。

(従来の技術)

電荷結合素子(以下、CCDと略記する)を用いた
固体撮像装置は、従来の撮像管に比べて小型、
軽量及び高信頼性といった特徴があるため、
次世代のハイビジョン放送用の撮像素子として期
待されている。ハイビジョン用の撮像素子は、水
平解像度1000TV本で、高感度且つ高SNで高ダイ
ナミックレンジが要求される。

第8図は本発明者等が試作したハイビジョン対
応のインターライン転送型固体撮像装置を示す概
略構成図である。図中1は半導体ウェハであり、
このウェハ1上には光電変換部2、垂直CCDレ
ジスタ(以下、VCCDと略記する)3、水平
CCDレジスタ(以下、HCCDと略記する)
4₁、4₂及び出力アンプ5₁、5₂が形成されて
いる。HCCD4₁、4₂の駆動には2線読出
し方式を採用し、VCCD3の奇数番目の信号を
HCCD4₁で転送し、偶数番目の信号を

HCCD4₂で転送し、それぞれの信号を出力ア
ンプ5₁、5₂で増幅して素子より出力する。
このとき、OS_A、OS_Bの出力信号は、位相を
180°ずらして出力し、外部の信号処理回路で
OS_A、OS_Bの出力信号を加算する方法を採用
した。

信号電荷の出力部としては、信号の応答性を速
くするために、HCCD4₁、4₂の最終段の転
送電極6₁、6₂(クロックφH₁、φH₂が印加される)が独立に設けられ、また出力ゲー
トOG、リセットゲートRS_A、RS_B、リセッ
トドレインRD_A、RD_B、アンプ用ドレイン
OD、アンプ用グラウンド端子SSが形成されて
いる。そして、出力アンプ5₁、5₂は2段ソー
スフォロア増幅器で構成される。

HCCD4₁、4₂は、2相のクロックパルス
φH₁、φH₂で駆動される。また、リセットゲ
ートRS_AはφH₂と同相で、RS_BはφH₁と
同相となる。なお、リセットゲートRS_Aと
RS_Bは位相が180°異なる。これらの駆動は、

クロックドライバ $8_1, 8_2, 8_3, 8_4, 8_5, 8_6$ により行われ、 OS_A と OS_B の出力信号は位相が 180° ずれたものとなる。なお、クロックドライバ $8_1, \dots, 8_6$ へのタイミングパルスは、クロックパルス発生回路7より供給される。

ハイビジョン対応のこの撮像装置では、水平解像度1000TV本を得るために水平の有効画素数を1920画素とし、垂直の有効画素数を1035画素とした。このため、信号読出しクロック周波数が74.25MHzと高周波になるため、HCCD $4_1, 4_2$ の2線読出し方式を採用し、HCCD $4_1, 4_2$ の転送クロック ϕ_{H_1}, ϕ_{H_2} の周波数を37.125MHzと低くした。しかし、この周波数はNTSC用40万画素CCDのクロック周波数14MHzの約2.6倍であり、従来のNTSC用CCDよりも高速駆動が要求される。また、高感度の要求からチップサイズが1インチと大きくなり、垂直10.5mm×水平16.2mm（アスペクト比9:16）となり、NTSC用2/3インチ40万画素CCDの約2倍と大きくなる。また、高ダイナミ

ックレンジの要求から、HCCD $4_1, 4_2$ の転送電極容量が約200pFと2/3インチ40万画素CCDの約2倍と増加する。

このように駆動周波数やチップサイズ、さらに転送電極容量が増加することによって、転送パルス ϕ_{H_1}, ϕ_{H_2} の駆動波形がクロックドライバ $8_1, 8_2$ の近くではクロック振幅 $V_{\phi H}$ が得られ矩形波を示すが、チップの中央付近ではクロック振幅 $V_{\phi H}$ がやっと得られる程度であり三角波に近くなる。さらに、最終電極付近ではクロック振幅 $V_{\phi H}$ が得られなくなった。この駆動波形の劣化によって転送効率が悪くなり、水平解像度1000TV本が得られなくなる問題が生じた。また、最終電極付近でクロック振幅 $V_{\phi H}$ が得られるように駆動パルス振幅を増加すると、転送効率は改善されるが、消費電力が増加したり、デバイスの温度が増加することによって素地ムラの増加や白点キズの増加等を招くことになる。

なお、この撮像装置では2線HCCD $4_1, 4_2$ の読出しを行っているため、水平解像度

1000TV本は、外部の信号処理回路で出力信号 OS_A と OS_B を加算することによって得られる。しかし、試作した素子では、 OS_A と OS_B の出力波形が相似（位相差 180° ）にならないため、水平解像度が800～900TV本しか得られなかった。

（発明が解決しようとする課題）

このように従来、ハイビジョン用固体撮像装置では、駆動周波数やチップサイズ、転送電極容量が増加することで、水平CCDレジスタの駆動波形が劣化し転送効率が低下する問題があった。また、2線水平CCDレジスタの読出しで出力した信号を加算回路で加算しても水平解像度が800～900TV本しか得られない問題があった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、CCDレジスタにおける駆動波形の劣化を抑えることができ、転送効率の向上をはかり得、水平解像度1000TV本程度を十分に得ることが可能な固体撮像装置を提供することにある。

〔発明の構成〕

（課題を解決するための手段）

本発明の骨子は、ハイビジョン用固体撮像装置等の水平CCDレジスタにおける等価的な抵抗 r 及び転送電極容量 C_H を減少させるため、転送電極に接続する配線電極へのクロック供給手段を改良することにある。また、出力信号波形に影響を与え易い配線の回りをアース若しくは直流電圧でガードすることにある。

即ち本発明は、半導体基板上にマトリックス状に配列された複数の受光素子と、これらの受光素子配列に沿って配列形成され、該受光素子に蓄積された信号電荷を読出して垂直方向に転送する複数の垂直CCDレジスタと、これらの垂直CCDレジスタと直交する方向に配置され、該垂直CCDレジスタより転送される各行の信号電荷を水平方向に転送する水平CCDレジスタとを備えた固体撮像装置において、

① 前記水平CCDレジスタの同一クロックパルスを加算すべき転送電極同士を共通接続する

配線電極に対し、該配線電極の両端部に異なるクロックドライバからの同位相のクロックパルスをそれぞれ供給するようにしたもの。

② 前記水平CCDレジスタの同一クロックパルスを印加すべき転送電極同士を共通接続する配線電極に対し、該配線電極の両端部に同一のクロックドライバからのクロックパルスをそれぞれ供給するようにしたもの。

③ 前記水平CCDレジスタの同一クロックパルスを印加すべき転送電極同士を共通接続する配線電極に対し、該配線電極の中央部にクロックドライバからのクロックパルスを供給するようにしたもの。

④ 前記水平CCDレジスタの同一クロックパルスを印加すべき転送電極同士を共通接続する複数の配線電極を、その端部の一方にクロックドライバからのクロックパルスを供給されるものと他方にクロックドライバからのクロックパルスを供給されるものとに分け、且つそれぞれの電極の幅をクロック供給側に近い方を遠い方

よりも広く形成するようにしたもの。

であり、また本発明は、

⑤ 半導体基板上に複数の受光素子、これらの受光素子に蓄積された信号電荷を読出して転送するCCDレジスタ、及び該レジスタから転送される信号電荷を検出する信号検出部とを形成した固体撮像素子と、この固体撮像素子を設置するパッケージとを備え、固体撮像素子及びパッケージ間で信号線を接続する固体撮像装置において、前記固体撮像素子及びパッケージ内の出力信号線の両側をアース線若しくは直流電位の配線でガードし、且つ前記信号検出部の信号電荷をリセットするリセット電極配線の両側をアース電位若しくは直流電位の配線でガードするようにしたもの

である。

(作 用)

本発明によれば、請求項1、2又は3のように、配線電極に供給するクロックパルス(転送電極の駆動信号)の供給位置を選択することにより、

転送電極に印加される駆動波形の劣化を抑制することができる。また、請求項4のように配線電極の幅を可変することにより、配線電極における発熱を低減することができ、駆動波形の振幅を大きくしても素子の発熱を抑えることができる。さらに、請求項5のように出力信号波形に影響を与え易い配線の回りをアース若しくは直流電圧でガードすることにより、出力信号波形の劣化を抑制することができる。

従って、大きなチップサイズで転送電極容量が大きく、駆動周波数が速くても、転送効率の低下を少なくして良好な信号電荷転送を行うことができ、CCDレジスタの高速駆動が可能となり、解像度の向上に寄与することができる。また、2線水平CCDレジスタを用いた場合、出力の信号波形も2つの出力波形が相似となるため、信号を加算することによって水平解像度1000TV本が十分に得られる。

(実施例)

以下、本発明の詳細を図示の実施例によって

説明する。

第1図は本発明の第1の実施例(請求項1記載の発明の実施例)に係わるCCD撮像装置における水平CCDレジスタ及びその駆動回路を示す図である。図中10はインターライン転送型CCD撮像素子の水平CCDレジスタ(HCCD)で、20は出力アンプである。HCCD10は、2相の転送パルス ϕH_1 、 ϕH_2 で駆動される。このHCCD10の駆動は、転送電極に接続される配線電極に対しその両端からクロックパルスを供給する方式となっている。即ち、第2図に示す如く2相駆動のHCCD10の転送電極11、12にはA₁等の配線電極51、52がそれぞれ接続され、配線電極51の両端にはクロックパルス ϕH_1 が供給され、配線電極52の両端にはクロックパルス ϕH_2 が供給されるものとなっている。

クロックパルス ϕH_1 、 ϕH_2 は互いに位相が180°異なるものであり、パルス発生回路40で発生される。パルス発生回路40から出力されたクロックパルス ϕH_1 、 ϕH_2 はドライバ31、

32を通して前記配線電極51, 52に供給される。即ち、クロックパルス ϕH_1 はドライバ31, 32により増幅されたのち配線電極51に供給され、クロックパルス ϕH_2 はドライバ32, 31により増幅されたのち配線電極52に供給されるものとなっている。

このような構成であれば、配線電極51, 52の両端にクロックパルス ϕH_1 , ϕH_2 が供給されるため、クロック供給端から最も遠い位置は配線電極51, 52の中央部となる。これに対し、従来のように配線電極の一方の端部からクロックパルスを供給する方式では、クロック供給端から最も遠い位置は配線電極の他端部となる。つまり、本実施例では配線電極51, 52におけるクロック供給端から最も遠い位置までの距離が従来方式の約1/2となる。

ここで、配線電極51, 52の等価回路は第3図に示す如く表わされることから、クロック供給端からの距離が長くなる程クロックパルスの振幅が小さくなると共に、クロック波形が乱れる。本

実施例では、配線電極51, 52におけるクロック供給端から最も遠い中央部までの距離を従来方式の約1/2にできるので、クロック波形の劣化の最も大きな中央部においてもクロックパルスは矩形を維持し且つ十分な振幅を持つものとなる。従って、クロック波形の劣化を抑制することができ、高速駆動にあっても良好な信号電荷転送を行うことが可能となる。

なお、ドライバ31, 32の出力インピーダンスは Z で表され、通常数 Ω ～数 10Ω と小さな値が使用される。それぞれのドライバ31, 32の負荷側の終端インピーダンスが Z であり、ドライバ側の出力インピーダンス Z と整合が取れるため、クロックの伝達特性が改善され、各ドライバの負荷容量が約1/2に減少する。このため、HCCD10の駆動波形が両端でも中心でもクロック波形の劣化が少ない。また、本発明者等はこの方式を前記第8図に示す装置に適用したところ、水平解像度1000TV本を十分に得ることができた。

第4図は本発明の第2の実施例(請求項2記載

の発明の実施例)を説明するための回路構成図である。なお、第1図と同一部分には同一符号を付して、その詳しい説明は省略する。

この実施例が先に説明した第1の実施例と異なる点は、配線電極51, 52の両端にクロックパルス ϕH_1 , ϕH_2 を供給するためのドライバ31, 32をそれぞれ独立に設ける代わりに共用したことにある。即ち、ドライバ31から出力されるクロックパルス ϕH_1 は配線電極51の両端にそれぞれ供給され、ドライバ32から出力されるクロックパルス ϕH_2 は配線電極52の両端にそれぞれ供給されるものとなっている。

このような構成であっても、クロック波形の劣化を抑制することができ、先の第1の実施例と同様の効果が得られる。なお、ドライバ31, 32の出力端から配線電極51, 52までの接続配線には転送電極等が接続されることはなく容量成分を極めて小さくできるので、この接続配線におけるクロック波形の劣化は無視できるほど少ない。

第5図は本発明の第3の実施例(請求項3記載

の発明の実施例)を説明するための回路構成図である。なお、第1図と同一部分には同一符号を付して、その詳しい説明は省略する。

この実施例が先に説明した第1の実施例と異なる点は、配線電極51, 52の両端にクロックパルス ϕH_1 , ϕH_2 を供給する代わりに、配線電極51, 52の中央部にクロックパルス ϕH_1 , ϕH_2 を供給することにある。この場合、配線電極の両端部でクロック波形の劣化は最も大きい。クロック供給端(中央部)から端部までの距離はやはり従来約1/2にできる。従って、先の第1の実施例と同様の効果が得られる。

第6図は本発明の第4の実施例(請求項4記載の発明の実施例)を説明するための回路構成図である。なお、第1図と同一部分には同一符号を付して、その詳しい説明は省略する。

この実施例は、デバイスの発熱を抑えるために、配線電極の幅を可変にしたことにある。即ち、配線電極51は一端側の幅が広く他端側の幅が狭く形成されており、クロックパルス ϕH_1 は電極幅

の広い方の端部に供給されている。配線電極52は配線電極51と逆に一端側の幅が狭く他端側の幅が広く形成されており、クロックパルスφH₂は電極幅の広い方の端部に供給されている。

このような構成であれば、配線電極のうち大きな電流が流れる部分の抵抗をより小さくすることができ、配線電極における発熱を低減することができる。従って、HCCD駆動によるデバイスの発熱を抑制することができる。即ち、同じ発熱量であればHCCDをより大きな電力で駆動することが可能となり、信号電荷の転送速度のより高速化をはかることができる。

第7図は本発明の第5の実施例（請求項5記載の発明の実施例）を説明するための模式図である。この実施例は、出力信号を他の駆動パルスの影響を受けないように取り出すためのものである。

図中71がウェハから切取ったインターライン転送型CCD撮像素子チップであり、72はそのパッケージである。また、73は撮像素子チップ71とパッケージ72とを接続するためのボンデ

ィングワイヤーを示している。図では、出力信号を取出す出力部のみを示した。

駆動パルスの影響を受けないように出力波形に影響する配線の回りをGND若しくはDC電極でガードした。このガードは、チップ71上とパッケージ72内の配線の双方で行った。パッケージ71のOSの出力信号線をSS(GND)でガードした。チップ71内では、OSの一方にODのDC電極、もう一方にSS(GND)電極を設けた。さらに、FD部から第1段目のMOSゲート(M1)の信号線の回りも同様にSSとODの配線でガードした。

また、信号の電位を決めるRD電極の配線もRD₀の配線で囲むことで外部パルスの影響を減少させた。さらに、RSパルスがRDに飛び込まないようにRSの配線回りをGNDパターンで囲った。この囲む効果は、平面よりも上部まで囲った方が効果大きい。例えば、配線を2層のAlで構成し、1層目で配線とガード配線を設け、このガード配線と2層目のAlとをコンタクトで連

結することで、上部までガードすることができ、出力信号がさらに外部の影響を受けないで得ることができる。この方法を2線読出し出力方式に採用することで、ハイビジョン用デバイスとして、水平解像度1000TV本を安定に得ることができた。

なお、本発明は上述した各実施例に限定されるものではない。例えば、前記水平CCDレジスタは2線式に限るものではなく、1本でもよいのは勿論のことである。さらに、転送電極の駆動方式は2層駆動に限るものではなく、3層駆動或いは4層駆動でもよい。また、受光素子の配列はマトリックスに限るものではなく、1列に配置されたものでもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

[発明の効果]

以上詳述したように本発明によれば、水平CCDレジスタを高速で駆動しても、CCDレジスタにおける駆動波形の劣化を抑えることができ、信号電荷の転送効率の向上をはかることができる。従って、CCDレジスタをより高い周波数で駆動

することができ、ハイビジョン用撮像素子として必要な水平解像度1000TV本程度を達成することも可能となる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例に係わるCCD撮像装置における水平CCDレジスタ及びその駆動回路の構成を示す図、第2図は同実施例における配線電極と転送電極との関係を示す平面図、第3図は配線電極の等価回路図、第4図は本発明の第2の実施例を説明するための回路構成図、第5図は本発明の第3の実施例を説明するための回路構成図、第6図は本発明の第4の実施例を説明するための回路構成図、第7図は本発明の第5の実施例を説明するための模式図、第8図は従来のCCD撮像装置を示す概略構成図である。

10…水平CCDレジスタ、11、12…転送電極、20…出力アンプ、31、31₁、31₂、32、32₁、32₂…ドライバ、40…パルス発生回路、51、52…配線電極、71…撮像素子チップ、72…パッケージ、73…ボンディン